

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

JOON-YUL YUN

Application No.:

Filed:

For: **Method for Sensing Bit Line with
Uniform Sensing Margin Time and
Memory Device Thereof**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-27684	30 April 2003

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 12/31/03

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800

William T. Babbitt
William Thomas Babbitt, Reg. No. 39,591



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0027684
Application Number

출 원 년 월 일 : 2003년 04월 30일
Date of Application APR 30, 2003

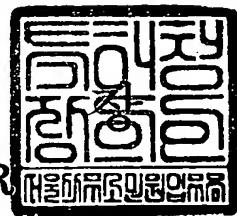
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2003.04.30		
【발명의 명칭】	외부 전원전압의 변화에 무관하게 균일한 센싱마진시간을 갖는 비트라인 센싱 방법 및 그를 위한 메모리 장치		
【발명의 영문명칭】	A METHOD FOR SENSING A BIT LINE PROVIDING A CONSISTENT SENSING MARGIN INTERVAL REGARDLESS OF VARIATIONS IN AN EXTERNAL POWER VOLTAGE AND A MEMORY DEVICE THEREFOR		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	윤준열		
【성명의 영문표기】	YUN, Joon Yul		
【주민등록번호】	751127-1149115		
【우편번호】	467-860		
【주소】	경기도 이천시 부발읍 아미리 산 136-1		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	1	면	1,000 원

1020030027684

출력 일자: 2003/10/29

【우선권주장료】	0	건	0	원
【심사청구료】	9	항	397,000	원
【합계】	427,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 외부전압의 변화에 무관하게 균일한 센싱마진시간을 갖는 비트라인 센싱 방법 및 그를 위한 메모리 장치를 제공하고자 하는 것으로, 이를 위한 본 발명의 비트라인 센싱 방법은, 워드라인 및 비트라인에 연결된 메모리 셀을 갖는 반도체 메모리 장치의 구동 방법에 있어서, 외부전압으로 구동하여 상기 워드라인을 활성화시키기 위한 제1제어신호를 생성하는 단계; 및 코어전압으로 구동하고 상기 제1제어신호를 입력받아 비트라인의 전위를 증폭하기 위한 제2제어신호를 생성하는 단계를 포함하여 외부전압의 변화에 무관하게 균일한 비트라인 센싱 마진시간을 갖는 것을 특징으로 한다.

【대표도】

도 7

【색인어】

메모리장치, 비트라인, 증폭, 센싱마진시간, 외부전압, 코어전압

【명세서】**【발명의 명칭】**

외부 전원전압의 변화에 무관하게 균일한 센싱마진시간을 갖는 비트라인 센싱 방법 및 그를 위한 메모리 장치{A METHOD FOR SENSING A BIT LINE PROVIDING A CONSISTENT SENSING MARGIN INTERVAL REGARDLESS OF VARIATIONS IN AN EXTERNAL POWER VOLTAGE AND A MEMORY DEVICE THEREFOR}

【도면의 간단한 설명】

도 1은 통상적인 비트라인 센스앰프 및 그에 관련된 회로의 구성을 보여주는 회로도,
도 2는 비트라인 센싱 동작과 관련된 타이밍도,
도 3은 종래기술에 따른 워드라인 및 비트라인 센스앰프의 제어 흐름을 보여주는 블록
구성도,
도 4는 개선된 종래기술에 따른 각 제어신호의 타이밍도,
도 5는 외부전압 V_{ext} 를 변화시켜가면서 각 제어신호를 시뮬레이션한 타이밍도,
도 6은 워드라인 및 비트라인 센스앰프의 제어 흐름을 보여주는 본 발명에 따른 동기식
DRAM의 블록 구성도,
도 7은 본 발명의 구성에 따른 비트라인 센싱 동작 관련 타이밍도,
도 8은 센싱타이밍제어부의 바람직한 구성 블록도,

도 9는 본 발명에 따른 메모리 장치에 외부전압 Vext를 변화시켜가면서 각 제어신호를 시뮬레이션한 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 외부 전원전압의 변화에 무관하게 균일한 센싱마진시간을 갖는 비트라인 센싱 방법 및 그를 위한 메모리 장치에 관한 것이다.

<11> 잘 알려진 바와 같이, DRAM과 같은 메모리장치는 읽기 또는 라이트 리커버리 구동을 위하여 비트라인쌍의 미세한 전위차를 증폭하는 비트라인 센스앰프를 구비하게 된다. 그리고, 비트라인을 플로팅시킨 후 - 비트라인 프리차지 디스에이블 상태 - 워드라인이 활성화 상태에서 충분한 전위차가 비트라인쌍에 유기될때 까지 기다린 다음, 상기 센스앰프를 인에이블시켜 증폭을 시작하여야 만이 안정적인 센싱 동작을 수행하게 되는데, 이와 같이 비트라인이 플로팅되고 워드라인이 활성화된 다음부터 비트라인쌍에 충분한 전위차가 유기될때 까지의 시간을 통상 '센싱마진시간(sensing margin time)'이라 한다.

<12> 도 1은 통상적인 비트라인 센스앰프 및 그에 관련된 회로의 구성을 보여주는 회로도이다

<13> 도 1을 참조하면, 비트라인 BL에는 메모리 셀(110)이 연결되어 있고, 래치

구조로 구성되어 비트라인쌍 BL, /BL의 전위차를 증폭하는 센스앰프(120)가 비트라인쌍 BL, /BL에 연결되어 있다. 센스앰프(120)의 구동전압 RTO 및 SB는 구동전압발생부(130)를 통해 생성된다. 구동전압발생부(130)은 프라치자 제어신호 bleq에 응답하여 프리차지전압 VBLP로 한쌍의 구동전압단을 프리차지 및 이퀄라이징하기 위한 프리차지부(131)와, 인에이블신호 rtoen에 제어받아 센스앰프 PMOS의 소오스측 구동전압단을 VDD 레벨로 풀업하는 PMOS트랜지스터(132), 및 인에이블신호 sben에 제어받아 PMOS의 소오스측 구동전압단을 VSS 레벨로 풀다운하는 NMOS트랜지스터(133)로 구성된다.

<14> 도 2는 비트라인 센싱 동작과 관련된 타이밍도로서, 도 1 및 도 2를 통해 비트라인 센싱 동작을 살펴본다.

<15> 액티브신호 pxact가 활성화 상태로 변하면서 비트라인 프리차지신호 bleq는 비활성화(논리 'LOW')되어 비트라인 프리차지부가 디스에이블되어 비트라인쌍은 플로팅된다. 이어서 로우(row) 디코딩 동작에 의해 선택된 메모리 셀(100)의 워드라인 WL이 논리 'High'로 활성화된다. 이후, 비트라인에 전위가 충분히 유기까지의 정해진 센싱마진시간 이후에 증폭부(120)의 동작시점을 알리는 인에이블신호 rtoen 및 sben이 각각 활성화되므로써 구동전압발생부(130)가 동작하고 센스앰프(120)가 동작하여 비트라인쌍 BL, /BL에 실린 미세한 전위차를 전원전압 및 접지전압으로 증폭하게 된다.

<16> 도 3은 종래기술에 따른 워드라인 및 비트라인 센스앰프의 제어 흐름을 보여주는 블록 구성도이다.

<17> 도 3을 참조하면, 칩에 인가된 외부 입력들이 조합되어 액티브신호생성부(310)에서는 액티브신호 pxact를 생성한다. 액티브신호 pxact는 액티브시에 인에이블되고 프리차지시에 디스에이블되는 신호이다.

<18> 이어서 액티브신호 pxact에 응답하여, 워드라인타이밍제어부(320)은 워드라인의 제어신호 wlstd를 생성하고, 센싱타이밍제어부(330)는 센싱타이밍의 제어를 위한 제어신호 sest를 생성한다. 제어신호 sest는 센스앰프 인에이블신호 rtoen 및 sben의 타이밍 제어를 위한 신호이다.

<19> 이어서, 제어신호 wlstd에 응답하여 로오 어드레스 rowadd가 로오디코더(340)에서 디코딩되고, 서브워드라인드라이버(350)에 의해 선택된 워드라인이 활성화된다.

<20> 센스앰프제어부(360)에서는 제어신호 sest에 응답하여 센스앰프의 인에이블신호 rtoen 및 sben를 생성하고, 인에이블신호 rtoen 및 sben에 의해 구동전압생성부(370)에서 구동전압 RTO, SB가 생성되어 비트라인 센스앰프(380)가 비트라인에 유기된 데이터의 종폭 동작을 시작하게 된다. 워드라인타이밍제어부(320) 및 센싱타이밍제어부(330)는 통상적인 CMOS 지연회로로서 스펙에 의해 원하는 지연값으로 세팅되어 있다.

<21> 한편, 잘 알려진 바와 같이 통상적인 메모리 장치에서는, 주변회로들의 전원전압으로서 칩 외부에서 인가된 외부전압 Vext을 사용하고, 코어회로부에서는 칩 내부에서 생성된 일정한 전압인 코어전압 Vcore을 사용하고 있다. 즉, 액티브신호생성부(310), 워드라인타이밍제어부(320), 로오디코더(340), 센싱타이밍제어부(330), 센스앰프제어부(360), 및 구동전압생성부(370)의 주변회로들에는 외부전압 Vext을 전원전압으로 사용한다.

<22> 그런데, 칩에 인가되는 외부 전원전압 Vext는 여러가지 이유에서 많은 변화를 가져오게 된다. 따라서, 센싱타이밍제어부(330)의 지연회로를 통해 결정되는 센싱마진시간이 외부전압에 의해 변화한다는 문제가 있다.

<23> 따라서, 개선된 종래기술에서는 상기 센싱타이밍제어부(330)의 지연회로 구동전압을 외부전압 Vext가 아닌 코어전압 Vcore를 사용하고 있다.

<24> 도 4는 개선된 종래기술에 따른 각 제어신호의 타이밍도이다.

<25> 도 4를 참조하면, 액티브신호 pxact가 인에이블된 후, 액티브신호 pxact에 응답해서 외부전압 Vext로 구동되는 워드라인타이밍제어부(320)의 지연회로(액티브신호 pxact를 제1지연값으로 지연시키는 회로)를 거쳐 제어신호 wlstd가 인에이블된다.

<26> 그리고, 액티브신호 pxact에 응답해서 외부전압 Vext로 구동되는 센싱타이밍제어부(330)의 지연회로(액티브신호 pxact를 제2지연값으로 지연시키는 회로)를 거쳐 제어신호 sest가 인에이블된다.

<27> 그러나, 개선된 종래기술은 워드라인이 활성화된 후 비트라인 센스앰프가 구동 시작하기 까지의 시간, 즉 센싱마진타임이 외부전압 Vext의 변화에 따라 여전히 많은 영향을 받는 문제점이 있다.

<28> 구체적으로 문제점을 설명하면, 워드라인 제어신호 wlstd는 액티브신호 pxact로부터 외부전압 Vext에 의해 구동되는 지연회로에 의해 정의되므로 외부전압 Vext의 변화에 따라 상대적으로 많이 변하는 반면에, 센스앰프의 구동시점(증폭이 시작되는 시점)을 제어하는 신호 sest는 액티브신호 pxact로부터 코어전압 Vcore에 의해 구동되는 지연회로에 의해 정의되므로 거의 일정하다. 결국, 센싱마진타임은 워드라인이 활성화 이후부터 비트라인증폭이 시작되는 시점까지의 구간이므로, 도 5에 도시된 바와 같이 외부전압 Vext 변화에 따라 센싱마진타임이 달리지게 되는 것이다. 도 5는 외부전압 Vext를 변화시켜가면서 각 제어신호를 시뮬레이션한

타이밍도이다. 외부전압 Vext가 2V, 2.5V, 4V일때 서로 지연값, 즉 센싱마진타임이 상이함을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 외부전압의 변화에 무관하게 균일한 센싱마진시간을 갖는 비트라인 센싱 방법 및 그를 위한 메모리 장치를 제공하는 목적이 있다.

【발명의 구성 및 작용】

<30> 상기 목적을 달성하기 위하여 본 발명의 비트라인 센싱 방법은, 워드라인 및 비트라인에 연결된 메모리 셀을 갖는 반도체 메모리 장치의 구동 방법에 있어서, 외부전압으로 구동하여 상기 워드라인을 활성화시키기 위한 제1제어신호를 생성하는 단계; 및 코어전압으로 구동하고 상기 제1제어신호를 입력받아 비트라인의 전위를 증폭하기 위한 제2제어신호를 생성하는 단계를 포함하여 외부전압의 변화에 무관하게 균일한 비트라인 센싱마진시간을 갖는 것을 특징으로 한다.

<31> 상기 목적을 달성하기 위한 본 발명의 메모리 장치는, 비트라인 및 워드라인에 연결된 메모리 셀; 상기 비트라인의 전위를 증폭하기 위한 증폭수단; 외부전압으로 구동되고 상기 워드라인을 활성화시키기 위한 제1제어신호를 생성하는 수단; 및 코어전압으로 구동되고 상기 제1제어신호를 입력받아 상기 증폭수단의 구동제어를 위한 제2제어신호를 생성하는 수단을 포함하여, 외부전압의 변화에 무관하게 균일한 비트라인 센싱마진시간을 갖는 것을 특징으로 한다.

<32> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<33> 도 6은 본 발명에 따른 동기식 DRAM의 블록 구성도로서, 워드라인 및 비트라인 센스앰프의 제어 흐름을 보여준다.

<34> 도 6을 참조하면, 본 발명에 따른 메모리 장치는 하나의 트랜지스터와 하나의 커패시터로 이루어진 메모리 셀(MC)이 워드라인 WL 및 비트라인 BL에 연결되어 있고, 비트라인 쌍 BL 및 /BL에는 비트라인의 전위를 증폭하기 위한 센스앰프(680)가 연결되어 있다. 비트라인 센스앰프(680)는 외부전압 Vext로 구동되는 구동전압생성부(670)으로부터 구동전압 RT0 및 SB를 전달 받아 구동된다.

<35> 그리고, 본 발명에 따른 메모리 장치는, 외부전압 Vext으로 구동되며 액티브 구동시에 활성화되고 프리차지 구동시에 비활성화되는 액티브신호 pxact를 생성하는 액티브신호생성부(610)와, 외부전압 Vext로 구동되며 상기 액티브신호 pxact를 입력받아 워드라인 활성화를 위한 제어신호 wlstd를 생성하는 워드라인타이밍제어부(620)와, 제어신호 wlstd에 응답하여 선택된 워드라인(WL)을 활성화시키는 로오디코더/드라이버(640, 650)와, 코어전압 Vcore으로 구동되며 제어신호 wlstd_ses(제어신호 wlstd_ses는 제어신호 wlstd와 동일한 타이밍의 신호로서 출력되는 방향, 즉 다른 블록으로 각기 입력되므로 출력단의 드라이버가 서로 달라서 달리 표기한 것이다)를 입력받아 구동전압생성부(670)의 제어를 위한 제어신호 sest를 생성하는 센싱타이밍제어부(630)와, 상기 제어신호 sest에 응답하여 상기 인에이블신호 rtoen 및 sben을 생성하는 센스앰프제어부(660)를 포함한다.

<36> 워드라인타이밍제어부(620)는 워드라인의 활성화 시점을 알려주는 신호로서 지연회로로서 구성되고, 센싱타이밍제어부(630)은 비트라인에 메모리 셀에 데이터가 유기된 뒤 센스앰프가 비트라인 전위를 증폭하기 시작하는 시점을 알려주는 신호로서, 역시 지연회로로서 구성된다. 즉, 센싱타이밍제어부(630)는 센싱마진시간에 대응하는 지연값을 갖는 지연회로로 구성된다.

<37> 중요하게, 종래기술에서는 제어신호 sest가를 액티브신호 pxact가 지연되어 생성되도록 하는 구성을 가졌으나, 본 발명에서는 제어신호 wlstd_ses를 지연시켜 제어신호 sest를 생성한다. 그리고, 제어신호 wlstd_ses는 외부전압 Vext에 의해 생성되고, 제어신호 sest는 코어전압 Vcore에 의해 생성된다.

<38> 도 7은 본 발명의 구성에 따른 비트라인 센싱 동작 관련 타이밍도로서, 외부전압 Vext에 의해 액티브신호 pxact로부터 제어신호 wlstd 및 wlstd_ses가 생성되고, 코어전압 Vcore에 의해 제어신호 wlstd_ses로부터 제어신호 sest가 생성된다.

<39> 한편, 센싱타이밍제어부(630)은 코어전압 Vcore를 사용하며, 그의 출력인 제어신호 sest는 외부전압 Vext를 사용하는 센스앰프제어부(660)에 입력되기 때문에, 센싱타이밍제어부(630)의 출력 신호 sest는 외부전압 Vext에 대응하는 전압레벨로 레벨쉬프팅 시켜주는 것이 바람직하다.

<40> 이를 위해 도 8에 도시된 바와 같이, 센싱타이밍제어부(630)는 제어신호 wlstd_ses를 입력받아 센싱마진시간에 대응하는 값으로 지연시키는 지연회로(632)와, 외부전압 Vext을 사용함으로서 지연회로(632)의 출력을 레벨쉬프팅시키는 레벨쉬프터(634)로 구성되는 것이 바람직하다.

<41> 한편, 상기한 기능의 레벨쉬프터(634)는 센스앰프제어부(660)의 신호 입력부에 구성될 수 있고, 도 6에 도시된 센싱타이밍제어부(630)와 센스앰프제어부(660)의 사이에 별도의 구성 블록으로 구성될 수 있다.

<42> 도 9는 본 발명에 따른 메모리 장치에 외부전압 Vext를 변화시켜가면서 각 제어신호를 시뮬레이션한 타이밍도이다. 외부전압 Vext가 2V, 2.5V, 4V일 때 센싱마진시간이 모두 일정함을 알 수 있다. 결국, 본 발명은 외부전압 Vext가 변화하더라도 균일한 센싱마진시간을 가진다. 즉, 워드라인이 활성화된 이후 항상 일정한 시간만큼 셀의 데이터를 유기한 다음 비트라인 증폭을 시작하므로 안정된 비트라인 센싱 동작이 가능하다.

<43> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<44> 본 발명은, 외부전압의 변화에 무관하게 균일한 센싱마진시간을 갖는 비트라인 센싱 방법 및 장치를 제공하므로써, 칩에 인가되는 외부전압이 변화하더라도 안정적인 테이터 센싱 동작이 가능하다는 효과가 있다.

【특허청구범위】**【청구항 1】**

비트라인 및 워드라인에 연결된 메모리 셀;

상기 비트라인의 전위를 증폭하기 위한 증폭수단;

외부전압으로 구동되고 상기 워드라인을 활성화시키기 위한 제1제어신호를 생성하는 수단; 및

코어전압으로 구동되고 상기 제1제어신호를 입력받아 상기 증폭수단의 구동제어를 위한 제2제어신호를 생성하는 수단

을 포함하는 외부전압의 변화에 무관하게 균일한 비트라인 센싱마진시간을 갖는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서,

상기 제2제어신호를 생성하는 수단은,

상기 코어전압으로 구동되고 상기 센싱마진시간에 대응하는 지연값으로 상기 제1제어신호를 지연시켜 출력하는 지연회로를 포함하는 것을 특징으로 하는 외부전압의 변화에 무관하게 균일한 비트라인 센싱마진시간을 갖는 반도체 메모리 장치.

【청구항 3】

제1항 또는 제2항에 있어서,

외부전압으로 구동되어 상기 제2제어신호의 전압 레벨을 레벨쉐프팅시켜 출력하는 레벨 쉐프팅수단을 더 포함하는 것을 특징으로 하는 외부전압의 변화에 무관하게 균일한 비트라인 센싱마진시간을 갖는 반도체 메모리 장치.

【청구항 4】

워드라인 및 비트라인에 연결된 메모리 셀을 갖는 반도체 메모리 장치의 구동 방법에 있어서,

외부전압으로 구동하여 상기 워드라인을 활성화시키기 위한 제1제어신호를 생성하는 단계; 및

코어전압으로 구동하고 상기 제1제어신호를 입력받아 비트라인의 전위를 증폭하기 위한 제2제어신호를 생성하는 단계

를 포함하는 반도체 메모리 장치의 구동 방법.

【청구항 5】

제4항에 있어서,

상기 제2제어신호를 생성하는 단계는,

상기 코어전압으로 구동하여 상기 센싱마진시간에 대응하는 지연값으로 상기 제1제어신호를 지연시켜 출력하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

【청구항 6】

제4항 또는 제5항에 있어서,

외부전압으로 구동하여 상기 제2제어신호의 전압 레벨을 레벨쉐프팅시켜 출력하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

【청구항 7】

비트라인 및 워드라인에 연결된 메모리 셀;

상기 비트라인에 연결되어 상기 비트라인의 전위를 증폭하기 위한 증폭수단;

외부전압으로 구동되며, 액티브 구동시에 활성화되고 프리차지 구동시에 비활성화되는 액티브신호를 생성하는 액티브신호생성부;

외부전압으로 구동되며, 상기 액티브신호를 입력받아 워드라인 활성화를 위한 제1제어신호를 생성하는 워드라인타이밍제어부;

상기 제1제어신호에 응답하여 선택된 워드라인을 활성화시키는 로오디코더/드라이버;

코어전압으로 구동되며, 상기 제1제어신호를 입력받아 상기 증폭수단의 제어를 위한 제2제어신호를 생성하는 센싱타이밍제어부;

상기 제2제어신호에 응답하여 상기 증폭수단의 인에이블신호를 생성하는 센스앰프제어부를 포함하는 반도체 메모리 장치.

【청구항 8】

제7항에 있어서,

외부전압으로 구동되어 상기 제2제어신호의 전압 레벨을 레벨쉐프팅시켜 상기 센스앰프 제어부로 출력하는 레벨쉐프터를 더 포함하고,

상기 센스앰프제어부는 외부전압으로 구동되는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제7항에 있어서,

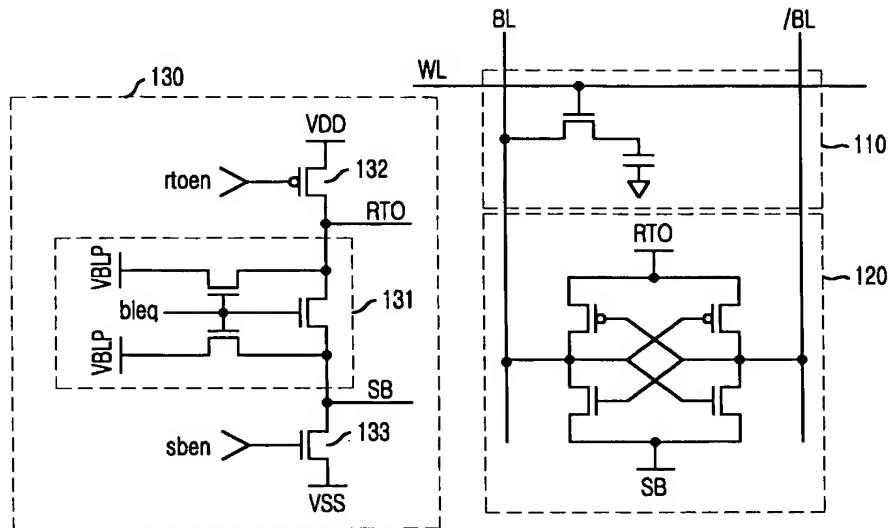
상기 증폭수단은,

상기 비트라인의 신호를 증폭하는 증폭부; 및

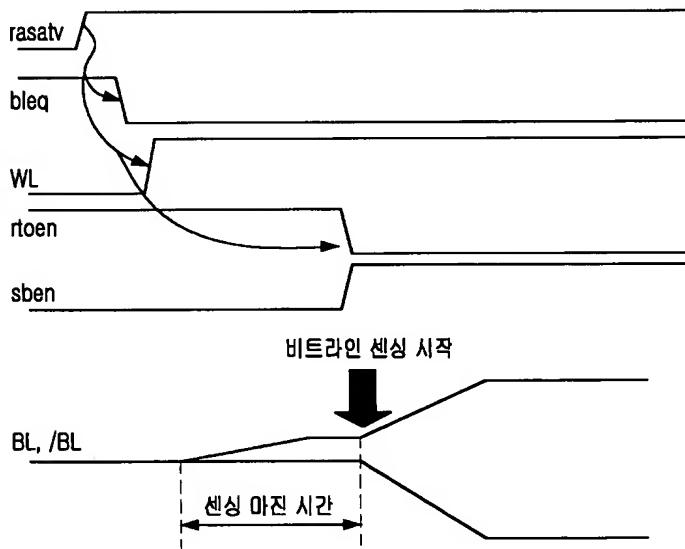
상기 인에이블신호에 응답하여 상기 증폭부의 구동전압을 생성하는 구동전압생성부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

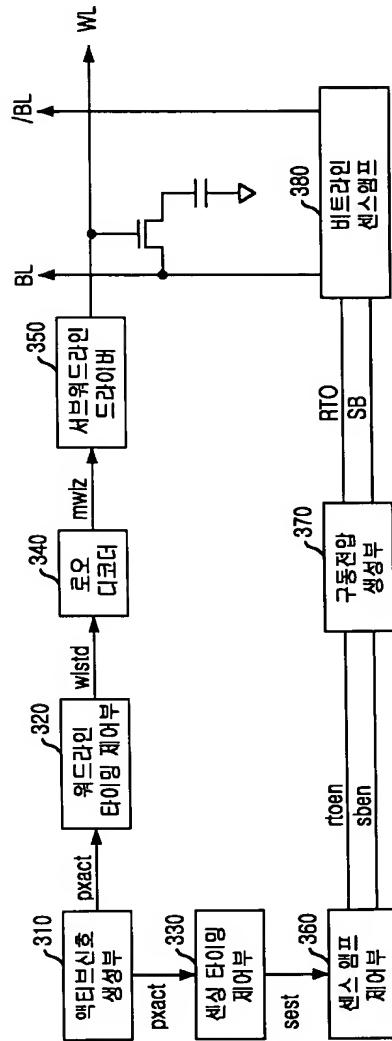
【도 1】



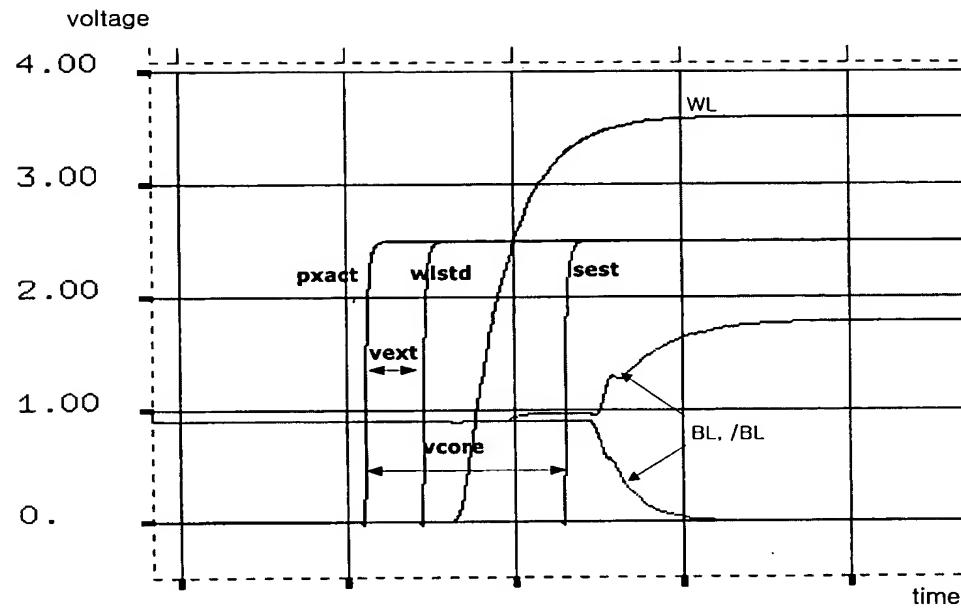
【도 2】



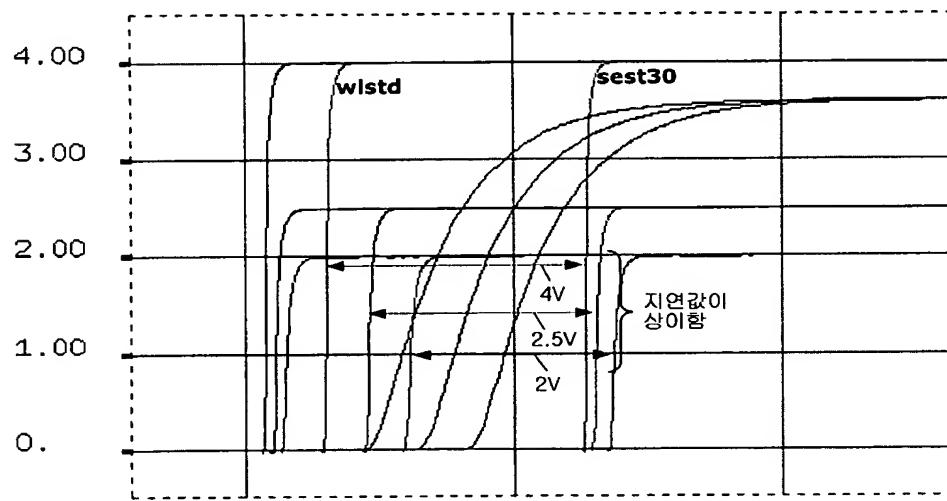
【도 3】



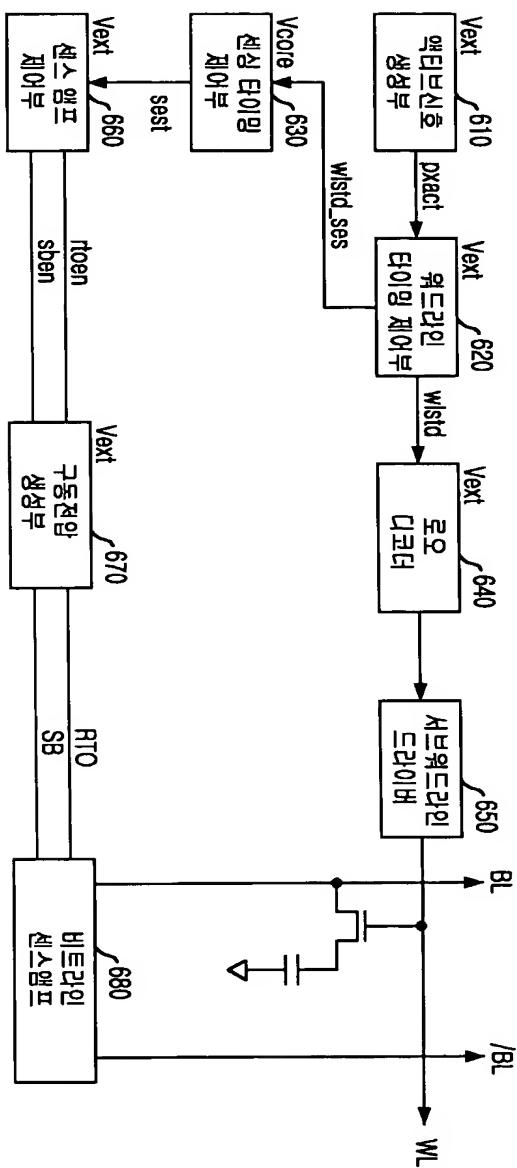
【도 4】



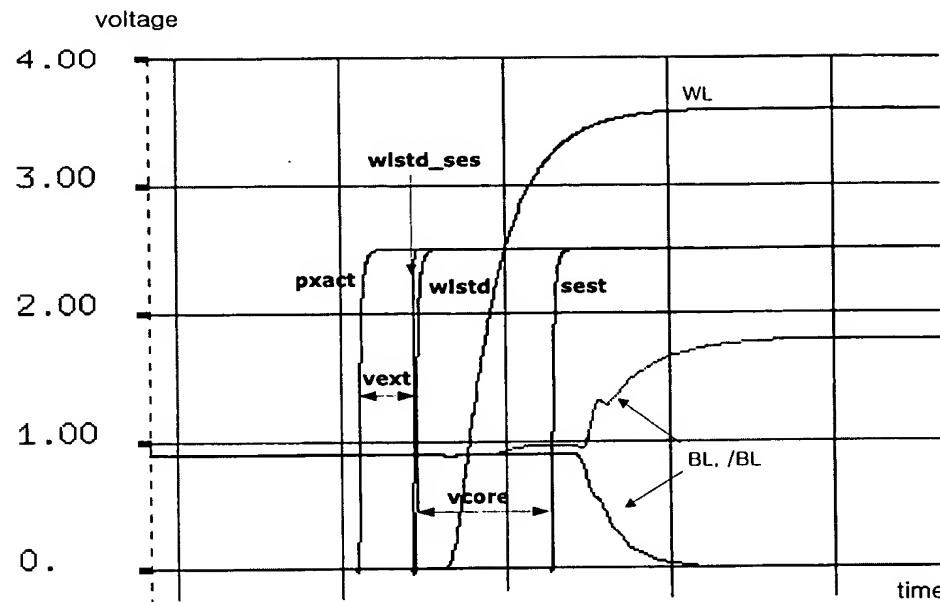
【도 5】



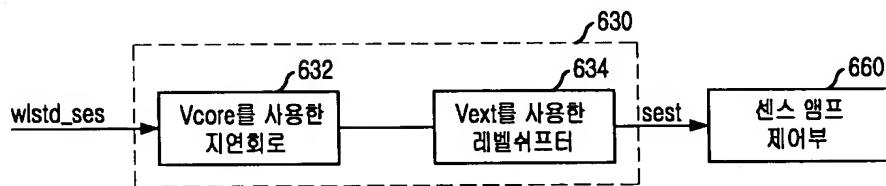
【부 6】



【도 7】



【도 8】



【도 9】

